

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

03827366 **Image available**

SEMICONDUCTOR SUBSTRATE AND MANUFACTURE THEREOF

PUB. NO.: 04-192466 [JP 4192466 A]
PUBLISHED: July 10, 1992 (19920710)
INVENTOR(s): MIZUNO BUNJI
 SHIMIZU NORITOMO
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
 or Corporation), JP (Japan)
APPL. NO.: 02-324634 [JP 90324634]
FILED: November 26, 1990 (19901126)
INTL CLASS: [5] H01L-027/12; H01L-021/316; H01L-021/318; H01L-021/76
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R100 (ELECTRONIC MATERIALS -- Ion Implantation)
JOURNAL: Section: E, Section No. 1283, Vol. 16, No. 513, Pg. 144,
 October 22, 1992 (19921022)

ABSTRACT

PURPOSE: To obtain a semiconductor substrate capable of maintaining a semiconductor device high performance by providing an insulator layer made of excellent thermal conductive and high electric resistive insulators formed on the substrate, and a thin semiconductor film formed on the layer.

CONSTITUTION: A semiconductor substrate X has a semiconductor base 1, an insulator layer 2 formed of excellent thermal conductive and high electric resistive insulators formed on the base 1, and a thin semiconductor film 3 formed on the layer 2. When a field effect transistor is formed on the film 3 of the substrate X composed in this manner and this field-effect transistor is driven, heat generated in an active region under the gate electrode of the transistor is efficiently dissipated in a direction of the base 1 from the layer 2. Thus, deterioration of the transistor characteristics due to its temperature rise can be prevented, and a semiconductor device can maintain high performance.

009153377 ****Image available****

WPI Acc No: 92-280818/199234

XRFX Acc No: N92-214867

**Semiconductor on insulator structured board - efficiently radiates heat
from board through good heat-transfer insulation layer to prevent
degrading of transistor characteristics by increased temp.**

Patent Assignee: MATSUSHITA ELEC IND CO LTD (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 4192466	A	19920710	JP 90324634	A	19901126	H01L-027/12	199234 B

Priority Applications (No Type Date): JP 90324634 A 19901126

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 4192466	A		5			

Title Terms: SEMICONDUCTOR; INSULATE; STRUCTURE; BOARD; EFFICIENCY;
RADIATE; HEAT; BOARD; THROUGH; HEAT; TRANSFER; INSULATE; LAYER;
PREVENT; DEGRADE; TRANSISTOR; CHARACTERISTIC; INCREASE; TEMPERATURE
Index Terms/Additional Words: SOI

Derwent Class: U11

International Patent Class (Main): H01L-027/12

International Patent Class (Additional): H01L-021/316; H01L-021/318;
H01L-021/76

File Segment: EPI

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月10日

H 01 L 27/12
21/316
21/318
21/76

E 7514-4M
X 8518-4M
B 8518-4M
D 9169-4M

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 半導体基板およびその製造方法

⑯ 特 願 平2-324634

⑰ 出 願 平2(1990)11月26日

⑱ 発 明 者 水 野 文 二 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 発 明 者 清 水 紀 智 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
㉑ 代 理 人 弁理士 宮井 咲夫

明 細 書

1. 発明の名称

半導体基板およびその製造方法

2. 特許請求の範囲

(1) 半導体基体と、この半導体基体上に形成した良熱伝導性および高電気抵抗性の絶縁物からなる絶縁物層と、この絶縁物層上に形成した半導体薄膜とを備えた半導体基板。

(2) 半導体基体の表面に、絶縁物形成用イオンを照射することにより、前記半導体基板中に良熱伝導性および高電気抵抗性の絶縁物層を形成するとともに前記絶縁物層上に前記半導体基板の一部からなる半導体薄膜を残存させることを特徴とする半導体基板の製造方法。

(3) 固体基体の表面に化学気相成長法またはスパッタ法により良熱伝導性および高電気抵抗性の絶縁物からなる絶縁物層を形成し、この絶縁物層上に半導体薄膜を形成することを特徴とする半導体基板の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、特にSOI (Semiconductor On Insulator) 構造の半導体基板およびその製造方法に関するものである。

(従来の技術)

従来のSOI (Semiconductor On Insulator) 構造の半導体基板を第4図(a), (b)に基づいて説明する。

第4図(a), (b)は従来の半導体基板の構成を説明するための断面図である。

第4図(a)に示すように、従来の半導体基板Yは、半導体基体5上に、例えば酸化シリコン層(SiN層、Si₃N₄層)または酸化シリコン層(SiO₂層)等からなる電気的に絶縁性の高い絶縁物層6が形成され、この絶縁物層6上に半導体薄膜7が形成されたものであり、一般的にSOI (Semiconductor On Insulator) 構造の半導体基板と呼ばれている。

なお、半導体基体5がシリコン単結晶(Si)からなる場合には、絶縁層6およびこの絶縁物

層 6 上に形成した半導体薄膜 7 は、主に単結品の形で被着される。

そして、このような半導体基板 Y を用いて、第 4 図 (b) に示すように、半導体薄膜 7 上にゲート酸化膜 8 およびゲート電極 9 が形成され、また半導体薄膜 7 中に不純物をイオン注入することによりドレイン 10 およびソース 11 が形成される。これにより、電界効果型トランジスタ等に代表される半導体装置が形成される。

近年、このような SOI (Semiconductor On Insulator) 構造の半導体基板 Y を有した電界効果型トランジスタ等に代表される半導体装置において、半導体基板 Y の表面部分となる半導体薄膜 7 には、膜厚 0.1 (μm) 以下の極めて薄いものを用いられている。これにより、ゲート電極 9 の下部の活性領域全域を空乏化することにより、駆動力等の性能を飛躍的に向上させた電界効果型トランジスタを得ている。

(発明が解決しようとする課題)

しかしながら、このように駆動力の高い電界効

果型トランジスタは、ゲート電極 9 の下部のソース 11 およびドレイン 10 間のチャネル領域すなわち活性領域に大電流が流れることにより、キャリアと電子、格子が衝突して多くのフォノンを助起し、これにより発熱し素子全体が高温になる。高温になれば、フォノンによるキャリアの散乱が増大し、キャリアの移動度が低下することにより、電界効果型トランジスタの駆動力等の性能が低下する。このようなトランジスタ特性の劣化を防止するには、駆動時に素子に発生する熱を効率良く発散させることが必要となる。

ところが、従来の SOI 構造の半導体基板 Y を有した電界効果型トランジスタ等に代表される半導体装置は、トランジスタの周囲が熱伝導度の低い絶縁物 (例えば酸化シリコン層等) に囲まれているため、駆動時に発生した熱は良好に発散されず、ゲート電極 9 の下部の活性領域が非常に高温になるという問題があった。なお、SOI 構造の半導体基板のうち、サファイア上にシリコンをエピタキシャル成長させた SOS (Silicon-On-Sapp

hire) 構造の半導体基板は除く。

この発明の目的は、上記問題点に鑑み、半導体装置の駆動時に発生する熱を効率良く発散することにより半導体装置を高性能に維持することのできる半導体基板およびその製造方法を提供することである。

(課題を解決するための手段)

請求項 (1) 記載の半導体基板は、半導体基体と、この半導体基体上に形成した良熱伝導性および高電気抵抗性の絶縁物からなる絶縁物層と、この絶縁物層上に形成した半導体薄膜とを備えたものである。

請求項 (2) 記載の半導体基板の製造方法は、半導体基体の表面に、絶縁物形成用イオンを照射することにより、半導体基板中に良熱伝導性および高電気抵抗性の絶縁物層を形成するとともに絶縁物層上に半導体基板の一部からなる半導体薄膜を覆存させることを特徴とする。

請求項 (3) 記載の半導体基板の製造方法は、固体基体の表面に化学気相成長法またはスパッタ法に

より良熱伝導性および高電気抵抗性の絶縁物からなる絶縁物層を形成し、この絶縁物層上に半導体薄膜を形成する。

(作用)

この発明の構成によれば、半導体基体と、この半導体基体上に形成した良熱伝導性および高電気抵抗性の絶縁物からなる絶縁物層と、この絶縁物層上に形成した半導体薄膜とを備えることにより、半導体基板に発生した熱を良熱伝導性の絶縁物層から半導体基体方向に効率良く発散させることができる。

(実施例)

この発明の一実施例を第 1 図ないし第 3 図に基づいて説明する。

第 1 図はこの発明の一実施例の半導体基板の構成を示す断面図である。

第 1 図に示すように、半導体基板 X は半導体基体 1 と、この半導体基体 1 上に形成した良熱伝導性および高電気抵抗性の絶縁物からなる絶縁物層 2 と、この絶縁物層 2 上に形成した半導体薄膜 3

とを備えたものである。

絶縁物層2を構成する絶縁物は、窒化アルミニウムまたは窒化アルミニウムとシリコンとの複合体であり、半導体薄膜3は、シリコン単結晶またはシリコン多結晶である。

このように構成した半導体基板Xの半導体薄膜3に従来と同様の電界効果型トランジスタ（図示せず）を形成し、この電界効果型トランジスタを駆動した場合、トランジスタを構成するゲート電極の下部の活性領域で発生した熱は、絶縁物層2から半導体基板1方向に効率良く発散する。したがって、トランジスタの周辺付近の温度は上昇することなく、温度上昇によるトランジスタ特性の劣化を防止することができる。

第2図(a)~(c)はこの発明の第1の実施例の半導体基板の製造方法を説明するための断面図である。

第2図(a)に示すSi（シリコン）等の半導体基板1に、第2図(b)に示すように、絶縁物形成用イオン4となるアルミニウム（Al）イオンおよび窒素（N）イオンを照射することにより、半導体

基板1中に絶縁物層2を形成するとともに絶縁物層2上に半導体基板1の一部からなる半導体薄膜3を残存させる（第2図(c)参照）。

絶縁物層2はアルミニウム（Al）、窒素（N）、シリコン（Si）からなる高晶またはアモルファスからなり、良熱伝導性および高電気抵抗性の特性を有する。

絶縁物形成用イオン4の照射量は、半導体基板1中に注入できる十分な量であり、例えば 1×10^{17} [/ cm^2] ~ 1×10^{18} [/ cm^2] である。また半導体薄膜3の膜厚は、絶縁物形成用イオン4の加速エネルギーの設定値により制御することができる。

また、半導体基板1に対する温度条件は、室温、低温または高温状態である。また、この半導体基板1に電気炉等の設備により熱処理を追加しても良い。

このように形成した半導体基板Xの表面の半導体薄膜3に、電界効果型トランジスタ等に代表される半導体装置（図示せず）を形成する。

第3図(a)~(d)はこの発明の第2の実施例の半導体基板の製造方法を説明するための断面図である。

第3図(a)に示す固体基板1'上に、第3図(b)に示すように、CVD法（化学気相成長法）等により窒化アルミニウム（AlN）を堆積することにより、絶縁物層2'を形成する。

この窒化アルミニウムからなく絶縁物層2'は良熱伝導性および高電気抵抗性の特性を有する。

その後、この窒化アルミニウム（AlN）からなる絶縁物層2'上にCVD法またはスパッタ法により半導体薄膜となるSi（シリコン）の薄膜（図示せず）を形成し、第2図(c)と同様の構造の半導体基板を得る。このような半導体基板に電界効果型トランジスタ等に代表される半導体装置（図示せず）を形成する。

なお、第2の実施例の半導体基板は、この半導体基板上に形成すべき半導体装置が単結晶薄膜を必要としない場合に用いられる。

〔発明の効果〕

この発明の半導体基板およびその製造方法によ

れば、半導体基板を半導体基板と、この半導体基板上に形成した良熱伝導性および高電気抵抗性の絶縁物からなる絶縁物層と、この絶縁物層上に形成した半導体薄膜とから構成することにより、半導体基板に発生した熱を良熱伝導性の絶縁物層から半導体基板方向に効率良く発散させることができる。その結果、この半導体基板を用いてトランジスタ等を形成した半導体装置は、トランジスタを駆動させても、トランジスタ周辺の温度が上昇することがない。したがって、温度上昇によるトランジスタ特性の劣化を防ぐことができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例の半導体基板の構成を示す断面図、第2図(a)~(c)はこの発明の第1の実施例の半導体基板の製造方法を説明するための断面図、第3図(a)~(d)はこの発明の第2の実施例の半導体基板の製造方法を説明するための断面図、第4図(a), (b)は従来の半導体基板の構成を説明するための断面図である。

1, ...半導体基板、1' ...固体基板、2, 2'

---絶縁物層、3---半導体薄膜、4---絶縁物形成用
イオン

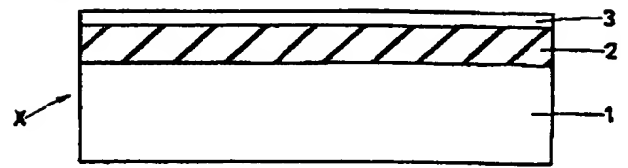
特許出願人 松下電器産業株式会社

代理人 弁理士 宮井 廣夫



第 2 図

(c)

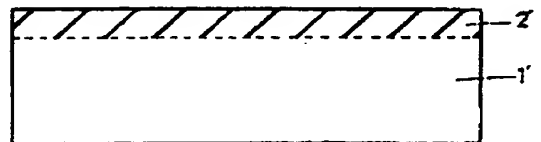


第 3 図

(a)

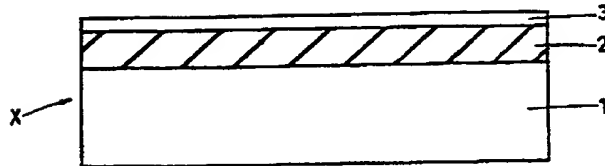


(b)



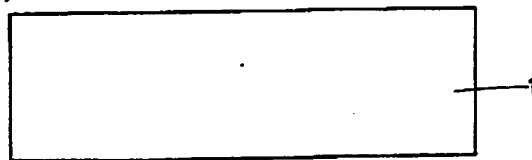
第 1 図

- 1. ---半導体基体
- 1'. ---固体基体
- 2. 2'. ---絶縁物層
- 3---半導体薄膜
- 4---絶縁物形成用イオン

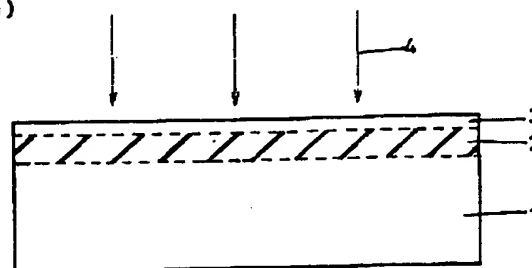


第 2 図

(a)

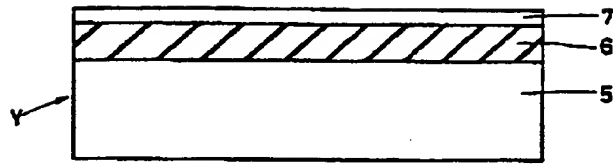


(b)



第 4 図

(a)



(b)

